

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299906

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H01P 5/02

H01P 3/08

H01P 5/08

(21)Application number : 04-101178

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 21.04.1992

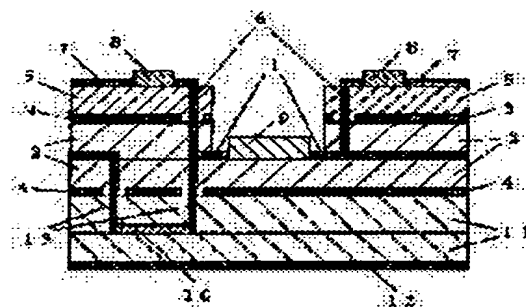
(72)Inventor : EDA KAZUO
TAGUCHI YUTAKA
MIYAUCHI KATSUYUKI

(54) HIGH FREQUENCY MULTI-LAYER INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide the high frequency multi-layer integrated circuit in which further higher density is attained, miniaturization is realized and deterioration in the high frequency characteristic due to electromagnetic coupling is avoided.

CONSTITUTION: The high frequency multi-layer integrated circuit is provided with a 1st strip line circuit section 1 imbeded in a 1st dielectric body 2 having ground electrodes 3,4 at its upper and lower parts, an electric circuit section 8 formed on a dielectric body 5 arranged on the ground electrode 3, a via-hole 6 through which the ground electrode 3 is penetrated to connect both circuit sections electrically, and a 2nd strip line circuit section 10 imbeded to a 2nd dielectric body 11 formed under the ground electrode 4, and the dielectric constant of the 1st dielectric body 2 is selected sufficiently smaller than the dielectric constant of the 2nd dielectric body 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-299906

(43)公開日 平成5年(1993)11月12日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	5/02	A 8941-5 J		
	3/08			
	5/08	L 8941-5 J		

審査請求 未請求 請求項の数8(全 5 頁)

(21)出願番号 特願平4-101178

(22)出願日 平成4年(1992)4月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 江田 和生

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 田口 豊

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 宮内 克行

大阪府門真市大字門真1006番地 松下電器産業株式会社内

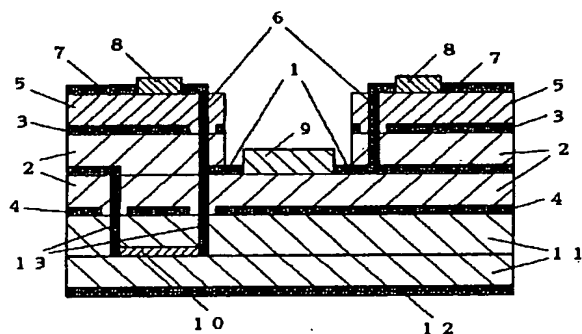
(74)代理人 弁理士 松田 正道

(54)【発明の名称】 高周波多層集積回路

(57)【要約】

【目的】 より一層の高密度化を可能とし、小型化が実現でき、また、電磁界結合による高周波特性の劣化を回避できる高周波多層集積回路を提供すること。

【構成】 上下に接地電極3、4を有する第1誘電体2に埋め込まれた第1ストリップライン回路部1と、接地電極3の上に配置された誘電体5上に形成された電気回路部8と、両回路部を接地電極3を貫通して電氣的に接続しているビアホール6と、接地電極4の下に形成された第2誘電体11に埋め込まれた第2ストリップライン回路部10とを有し、第1誘電体2の誘電率を第2誘電体11の誘電率より十分小さくした高周波多層集積回路である。



- 1 : 第1のストリップライン回路部
- 2 : 第1のストリップライン埋め込み誘電体
- 3 : 上部接地電極
- 4 : 下部接地電極
- 5 : 上部誘電体層
- 6 : 伝送高周波減衰特性を有するビアホール
- 7 : 配線
- 8 : 個別電子部品などからなる表面電気回路部
- 9 : トランジスタ
- 10 : 第2のストリップライン回路部 (フィルタ回路)
- 11 : 第2のストリップライン埋め込み誘電体
- 12 : 最下部接地電極
- 13 : ビアホール

【特許請求の範囲】

【請求項1】上下に接地電極を有する誘電体に埋め込まれたストリップライン回路部と、前記接地電極の少なくとも一方の上に配置された誘電体上に形成された電気回路部と、前記両回路部を前記接地電極を貫通して電気的に接続しているビアホールとを有する高周波多層集積回路であって、前記ストリップライン回路部が2層以上形成され、そのうちの1層の誘電体の誘電率が、他の層の誘電体の誘電率と異なることを特徴とする高周波多層集積回路。

【請求項2】誘電率の大きい方の誘電体に埋め込まれたストリップライン回路部に、高周波共振回路または高周波フィルタ回路を有することを特徴とする請求項1記載の高周波多層集積回路。

【請求項3】接地電極の少なくとも一方の上の誘電体上に形成された電気回路部に、前記ストリップライン回路部のインピーダンス整合調整回路を有することを特徴とする請求項1記載の高周波多層集積回路。

【請求項4】接地電極の少なくとも一方の誘電体上に形成された電気回路部が直流バイアス回路を有することを特徴とする請求項1記載の高周波多層集積回路。

【請求項5】誘電率の低い誘電体がアルミナとガラスを主成分とし、埋め込みされた電極が銅または銀であることを特徴とする請求項1記載の高周波多層集積回路。

【請求項6】誘電率の高い誘電体の誘電率が20以上であることを特徴とする請求項1記載の高周波多層集積回路。

【請求項7】最表層誘電体上に形成された電気回路部に個別部品を実装したことを特徴とする請求項1記載の高周波多層集積回路。

【請求項8】ストリップライン回路部の一部が露出しており、その部分に個別電子部品を実装したことを特徴とする請求項1記載の高周波多層集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高周波帯域の信号を扱う、多層化された高周波多層集積回路に関するものである。

【0002】

【従来の技術】従来、高周波集積回路としては、半導体基板上に能動素子と受動部品を一体に集積化したモノリシック集積回路や、アルミナなどの誘電体基板の上に、各種能動素子や受動部品を一体に集積化したハイブリッド集積回路等が知られている。一般に、そのモノリシック集積回路は単層構造となっている。またアルミナ基板などの誘電体を用いたものでは、電気回路が多層構造になっているものが知られている。

【0003】

【発明が解決しようとする課題】ところで、近時小型化の流れのなかで、部品のより一層の高密度化が要求され

ているが、上記のモノリシック集積回路では、単層構造における集積化であり、したがって、部品の大きさが決まると、それが同一面内にいくら詰まるかで全体の大きさが決まる。しかし、高周波回路では、空間あるいは基板内を通して電磁界的な結合があり、ある密度以上に高集積化することは困難であるという課題がある。

【0004】またハイブリッド集積回路の場合、多層化が可能であるが、従来のものでは電気配線のみを多層化しているため、部品は、表面に実装することが必要であり、やはり集積、小型化に限界があるという課題があった。

【0005】また、一般に高周波回路は、空間を経て電磁界結合しやすく、それを防止するため、金属板の蓋を上につけたりするなどのいわゆる電磁界結合を遮蔽するための種々の工夫が必要であり、形状が複雑になったり大きくなったり、また遮蔽が不十分のため、高周波特性が損なわれるなどの課題もあった。

【0006】本発明は、このような従来の高周波回路の課題を考慮し、より一層の高密度化を可能とし、小型化が実現でき、また、電磁界結合による高周波特性の劣化を回避できる高周波多層集積回路を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明は、上下に接地電極を有する誘電体に埋め込まれたストリップライン回路部と、接地電極の少なくとも一方の上に配置された誘電体上に形成された電気回路部と、両回路部を接地電極を貫通して電気的に接続しているビアホールとを有する高周波多層集積回路であって、ストリップライン回路部が2層以上形成され、そのうちの1層の誘電体の誘電率が、他の層の誘電体の誘電率と異なる高周波多層集積回路である。

【0008】本発明は、その誘電率の大きい方の誘電体に埋め込まれたストリップライン回路部に、高周波共振回路または高周波フィルタ回路を有する高周波多層集積回路である。

【0009】本発明は、接地電極の少なくとも一方の上の誘電体上に形成された電気回路部に、ストリップライン回路部のインピーダンス整合調整回路を有する高周波多層集積回路である。

【0010】

【作用】本発明では、ストリップライン回路形成部の誘電率を、回路の役割に応じて異なるものを用いた構成の高周波多層集積回路とすることにより、高周波特性を良好に保ったまま、回路の大幅な小型化を図ることができる。

【0011】例えば、フィルタ回路、共振回路、インピーダンス整合調整回路等を実現できる。

【0012】

【実施例】以下、本発明の実施例について図面を参照し

て説明する。

【0013】（実施例1）本発明の実施例1の高周波多層集積回路の構造を図1に示す。図において、第1ストリップライン回路部1は、第1埋め込み誘電体2に埋め込まれている。そして、その第1埋め込み誘電体2の上下に、第1ストリップライン回路部1の上部接地電極3と下部接地電極4が配設されている。また、上部接地電極3の上に上部誘電体5が設けられている。さらに、ビアホール6が、その下端を第1ストリップライン回路部1に電気的に接続し、上部接地電極3を貫通して、その上端を誘電体5の上まで引き出した状態で縦方向に形成されている。上部誘電体5の表面には、上部電気回路の配線7が配設され、また、個別部品などで構成された高周波回路部に各種電源を供給するための直流バイアス回路部8が配置されている。

【0014】他方、第1ストリップライン回路部1の途中は、露出させられており、その露出部分にトランジスタなどの電子部品9が配設されている。

【0015】下部接地電極4の下には、第1埋め込み誘電体2と異なる誘電率を有する第2埋め込み誘電体11が形成され、その中に、第2のストリップライン回路部10が埋め込まれ、高周波のフィルタ回路が形成されている。

【0016】また、第1ストリップライン回路部1と第2のストリップライン回路部10とは、ビアホール13によって接続されている。

【0017】このような構成において、高周波電気信号は、第1ストリップライン回路部1の左側端より入力され、その露出部に設けられたトランジスタ9に入力され、再び第1ストリップライン回路部1に戻り、図の右側へと信号が伝送されていく。第1ストリップライン回路部1の入力側および出力側にそれぞれ、ビアホール6が存在し、それによって上部電気回路部8に接続されている。また第1ストリップライン回路部1と第2ストリップライン回路部10とは、ビアホール13によって接続されており、第2ストリップライン回路部10のフィルタ回路により、入力信号の中から特定の周波数の電気信号のみを取り出し、次の回路部分へ信号伝送することが可能である。

【0018】この場合、第1埋め込み誘電体2には誘電率約9のアルミナーガラス系誘電体を、第2埋め込み誘電体11にはビスマスーニオブの酸化物を主成分とする誘電率20〜70の材料を用いた。フィルタ回路は精度を上げようとすると、何段にも直列接続構成とすることが望ましい。その場合、第1誘電体2に用いたアルミナーガラス系の材料を、第2誘電体11に用いるとすると、誘電率が10以下のため、大きな面積を必要とすることになる。そのため、このように誘電率の大きい材料を第2誘電体11に用いることにより、フィルタ回路をはるかに小さく構成することができた。

【0019】次に、このような構成の製造方法について述べる。第1誘電体2としては、高周波特性に優れたアルミナに、ガラス成分とバインダーなどの有機物を加えてスラリー状とし、ドクターブレード法などの板状化する手法により、厚み0.3〜1ミリのシート状の、いわゆるグリーンシートに加工した。次にビアホールを形成する所定の部分に、パンチなどにより機械的に穴をあけ、酸化銅にガラス成分とバインダーなどの有機物を加えてペースト化したものを導体ペーストとして用い、穴に充填、さらに、電極、配線、ストリップラインなどの所定の形状になるように、先のグリーンシートの上に印刷した。また第2誘電体11に用いたビスマスーニオブ酸化物系材料も、アルミナーガラス系材料と同様グリーンシート化し、ビアホールを形成、電極ペーストを印刷した。次に上記アルミナーガラス系材料からなるグリーンシートとビスマスーニオブ系材料からなるグリーンシートを所定の構成になるように積層後、850〜1000度Cの酸化銅が還元されるに十分な還元雰囲気中で焼結させることにより、酸化銅が還元され、実施例に示す多層構造が得られた。ストリップライン回路部1で露出した部分は、グリーンシートを重ねていく時、あらかじめその部分に空間を設けたグリーンシートを作り、重ねていくことにより実現できた。この後、必要箇所にそれぞれの個別電子部品を実装することにより、実施例1の高周波多層集積回路の構成が得られた。このようにして作られた電極、配線などに用いられる銅は、電気抵抗が極めて低く、高周波回路で問題となる電極抵抗に基づく抵抗損を極めて小さくすることができ、特に高周波多層集積回路に有効である。銅は1000度C以上で焼結させると、周囲の誘電体と反応、あるいは拡散が進むため、1000度C以下で焼結できるようにする必要があり、そのためにはアルミナとガラスの混合物を用いるのが良い。ガラスの量を増すことにより、焼結温度を低くすることができた。またビスマスーニオブ酸化物の誘電体材料も1000度C以下の温度で焼成することができた。銅に代わるものとしては銀があった。但しこの場合には、銀粉にガラスと有機ペーストを混ぜた銀ペーストを用い焼成した。この場合は還元雰囲気が必要としないが、銀の融点が銅の融点よりも低いので、この場合の焼成温度は930度C以下でなければ良好な特性は得られなかった。

【0020】第1ストリップライン回路部1の埋め込み用いている第1誘電体2の誘電率は、回路パターンを適当な大きさにした方が設計や取り扱いが容易であり、また伝送損失を小さくできるなどから、誘電率として10あるいはそれ以下のものが好ましく、アルミナーガラス系の材料が適当であった。第2誘電体11としては、回路構成の寸法上から誘電率20以上のものが好ましかった。このように、ストリップライン回路形成部の誘電率を、回路の役割に応じて異なるものを用いた構成の高

5

周波多層集積回路とすることにより、高周波特性を良好に保ったまま、回路の大幅な小型化を図ることができた。

【0021】この様に、本実施例1においては、形状の大きくなるフィルタ回路部を、ストリップライン伝送部よりも誘電率の大きい誘電体の中に形成することにより、高周波回路部を効果的に小型化することができる。

【0022】（実施例2）本発明の実施例2の高周波多層集積回路の構造を図2に示す。図において、1から9まで、および11から13までの各構成要素は、実施例1の場合と同様である。100は第2のストリップライン回路部であり、高周波の共振回路を形成されている。本実施例の回路構成は、その第2ストリップライン回路部100をビアホール13によって能動素子9と電気的に結合させたものであり、これにより発振回路を構成したものである。直流バイアス回路8は、能動素子9に直流電源を供給するものであり、ビアホール6は、実施例1又は3と同様、発振周波数などの高周波に対して減衰もしくは遮断特性を有している。第2ストリップライン回路部100の共振回路により、特定の周波数で発振可能となる。共振回路は、精度を上げようとする、実施例1のフィルタ回路と同様、やはり形状が大きくなるため、実施例1の場合と同様、第2誘電体11に誘電率の大きいものを用いた方が良く、ビスマス—ニオブの酸化物を主成分とする誘電率20〜70の材料を用いた。仮に、第1誘電体2に用いたアルミナーガラス系の材料を第2誘電体11に用いると、誘電率が10以下のため、大きな面積を必要とするが、第2誘電体11にこのように誘電率の大きい材料を用いることにより、共振回路をはるかに小さく構成することができた。一方、第1ストリップライン回路部1の埋め込みに用いている第1誘電体2の誘電率は、実施例1に述べたと同様の理由から、誘電率として10あるいはそれ以下のものが好ましく、アルミナーガラス系の材料が適当であった。第2誘電体11としては、やはり誘電率20以上のものが好ましかった。このように、ストリップライン回路形成部の誘電率を、回路の役割に応じて異なるものを用いた構成の高周波多層集積回路とすることにより、高周波特性を良好に保ったまま、回路の大幅な小型化を図ることができた。

【0023】この様に、本実施例2においては、形状の大きくなる共振回路部を、ストリップライン伝送部よりも誘電率の大きい誘電体の中に形成することにより、高周波回路部を効果的に小型化することができる。

【0024】（実施例3）本発明の実施例3の高周波多層集積回路の構造を図3に示す。図において、1から5までと9および11から13までの構成要素は実施例1と同様である。60は第1ストリップライン回路部1と上部電気回路部を接続するビアホールで、高周波電気信号を良好に伝送するように構成されている。70は上部

6

電気回路の配線であり、80は個別部品などで構成された、第1ストリップライン回路部1のインピーダンス整合調整用電気回路部であり、1000は第2ストリップライン回路部で形成されたインピーダンス整合回路部である。高周波電気信号の経路と、1-5および9と11-13までの各構成要素の機能は、実施例1と同様である。入力してきた高周波電気信号はビアホール60によって上部電気回路部に導かれ、入力インピーダンス整合調整回路部80を経て、再びビアホール60により第1ストリップライン回路部1に戻り、その露出部に設けられたトランジスタ9に接続される。ビアホール60の形状を第1ストリップライン回路部1の特性インピーダンスに合うように構成することにより、高周波信号を良好に伝送することができた。トランジスタ9の出力は、再び第1ストリップライン回路部1からビアホール60によって、上部電気回路部に導かれ、出力側のインピーダンス整合調整回路部80を経て、再びビアホール60により第1ストリップライン回路部1に戻り、図の右側へと信号が伝送されていく。このような構成となっていることから、高周波回路では、面積を必要とするインピーダンス整合調整回路部を、信号伝送部と多層化することにより、回路としての必要面積を小さくすることができた。また調整部が表面に露出していることから、調整の作業性も良い。第2ストリップライン回路部1000には、インピーダンス整合用のオープンスタブやその他のストリップライン回路が形成されており、これによりインピーダンス整合をより完全にするなどのことが、多層化により面積を増やさずに可能となった。

【0025】この様に、本実施例3においては、大きい面積を必要とする高周波のインピーダンス調整回路と、他の高周波回路を分離、多層化しているので、多層集積化による小型化の効果が大きい。

【0026】上記各実施例ではストリップライン回路部を2層に多層化しているが、さらに3層、4層と多層にすることも可能であった。

【0027】実施例2、3では、その作成方法について述べなかったが、実施例1で述べたと同様の方法により実現できた。

【0028】またいずれの実施例においても、ストリップライン回路部の接地電極の一方の側にのみ誘電体を形成し、その上部にインピーダンス調整回路や直流バイアス回路を形成した例を示したが、両面に形成することも可能であり、回路部品数が多い場合には、両面に形成することにより、回路の小型化が図れることは明かである。

【0029】

【発明の効果】以上述べたところから明らかなように、本発明は、ストリップライン回路部が2層以上形成され、そのうちの1層の誘電体の誘電率が、他の層の誘電体の誘電率と異なるので、良好な高周波特性を保ったま

7

ま、回路を大幅に小型化することが可能する事が出来る。

【図面の簡単な説明】

【図1】本発明の実施例1の略示断面図である。

【図2】本発明の実施例2の略示断面図である。

【図3】本発明の実施例3の略示断面図である。

【符号の説明】

- 1 第1のストリップライン回路部
- 2 第1のストリップライン埋め込み誘電体
- 3 上部接地電極
- 4 下部接地電極
- 5 上部誘電体層
- 6 伝送高周波減衰特性を有するビアホール

8

60 高周波伝送用ビアホール

7 配線

8 個別電子部品などからなる表面電気回路部

80 インピーダンス整合回路部

9 トランジスタ

10 第2のストリップライン回路部（フィルタ回路）

100 第2のストリップライン回路部（共振回路）

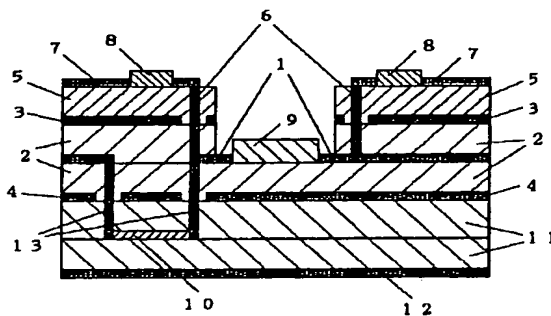
1000 第2のストリップライン回路部（インピーダンス整合回路）

11 第2のストリップライン埋め込み誘電体

12 最下部接地電極

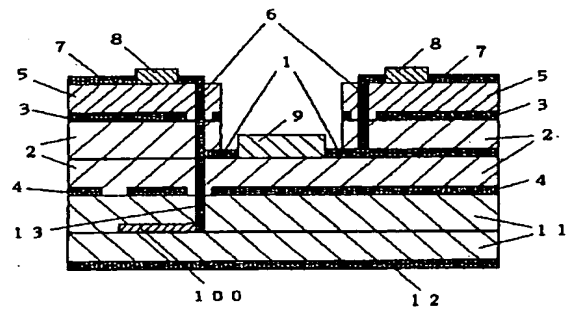
13 ビアホール

【図1】



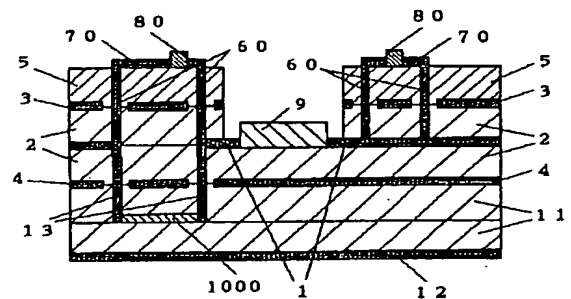
- 1: 第1のストリップライン回路部
- 2: 第1のストリップライン埋め込み誘電体
- 3: 上部接地電極
- 4: 下部接地電極
- 5: 上部誘電体層
- 6: 伝送高周波減衰特性を有するビアホール
- 7: 配線
- 8: 個別電子部品などからなる表面電気回路部
- 9: トランジスタ
- 10: 第2のストリップライン回路部（フィルタ回路）
- 11: 第2のストリップライン埋め込み誘電体
- 12: 最下部接地電極
- 13: ビアホール

【図2】



100: 第2のストリップライン回路部（共振回路）

【図3】



- 60: 高周波伝送用ビアホール
- 70: 配線
- 80: インピーダンス整合回路部
- 1000: 第2のストリップライン回路部（インピーダンス整合回路）